



PATENT
Docket No. 20063/OG03-043

**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

Applicant(s): Seung Hee JWA

Serial No.: 10/749,489

Filed: December 30, 2003

For: "Methods of Manufacturing
AND-Type Flash Memory Devices"

Group Art Unit: Unknown

Examiner: Not Yet Assigned

I hereby certify that the documents referred to as enclosed herewith are being deposited with the United States Postal Service, first class postage prepaid, in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450 on this date:

January 23, 2004


Mark C. Zimmerman

Reg. No. 44,006

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

Enclosed herewith is a certified copy of Korean Patent Application Serial No. 10-2002-0087291 filed December 30, 2002, the priority of which is claimed under 35 U.S.C. § 119.

Respectfully submitted,

GROSSMAN & FLIGHT, LLC.
Suite 4220
20 North Wacker Drive
Chicago, Illinois 60606
(312) 580-1020

By:

Mark C. Zimmerman
Registration No.: 44,006

January 23, 2004

대한민국 특허청

KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0087291
Application Number

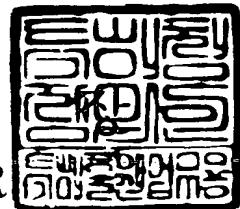
출원년월일 : 2002년 12월 30일
Date of Application DEC 30, 2002

출원인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.

2003년 11월 18일

특허청

COMMISSIONER



【서지사항】

【요약서】**【요약】**

본 발명은 엔드 타입 플래쉬 메모리 소자의 제조방법을 개시한다. 개시된 본 발명의 조방법은, 실리콘 기판 상에 터널 산화막과 플로팅 게이트용 폴리실리콘막을 차례로 형성하는 단계와, 상기 폴리실리콘막을 식각하여 플로팅 게이트를 형성하는 단계와, 상기 기판 결과물에 대해 불순물 이온주입을 행하여 플로팅 게이트 양측의 기판 표면에 소오스/드레인 영역을 형성하는 단계와, 상기 플로팅 게이트의 양측벽에 스페이서를 형성하는 단계와, 상기 기판 결과물 상에 희생절연막을 증착하는 단계와, 상기 희생절연막 및 터널 산화막의 소정 부분을 선택적으로 식각하여 기판 표면 및 플로팅 게이트 표면을 노출시키는 단계와, 상기 노출된 기판 표면 및 플로팅 게이트를 소정 깊이 식각하여 각각 트렌치 및 요홈을 형성하는 단계와, 상기 트렌치 및 요홈을 매립하도록 결과물 상에 산화막을 증착하는 단계와, 상기 플로팅 게이트가 노출될 때까지 산화막과 희생절연막을 식각하는 단계와, 상기 스페이서 및 잔류된 희생절연막을 제거하여 트렌치형의 소자분리막과 표면에 요홈을 갖는 플로팅 게이트를 형성하는 단계와, 상기 기판 결과물 상에 게이트절연막과 콘트롤 게이트용 폴리실리콘막을 차례로 증착하는 단계를 포함한다. 본 발명에 따르면, 플로팅 게이트의 표면에 요홈을 형성시킴으로써 셀 크기의 증가없이 커플링 비율을 향상시킬 수 있으며, 이에 따라, 소자 특성 및 신뢰성을 향상시킬 수 있다

【대표도】

도 4h

【명세서】**【발명의 명칭】**

엔드형 플래시 메모리 소자의 제조방법{Method of manufacturing AND type flash memory device}

【도면의 간단한 설명】

도 1은 종래 AND형 플래시 메모리 소자의 셀 어레이를 도시한 회로도.

도 2는 종래 AND형 플래시 메모리 소자의 셀 어레이를 도시한 레이아웃도.

도 3은 도 2의 A-A'선에 따라 절단하여 도시한 단면도.

도 4a 내지 도 4h는 본 발명의 실시예에 따른 AND형 플래시 메모리 소자의 제조방법을 설명하기 위한 공정별 단면도.

*** 도면의 주요부분에 대한 부호의 설명 ***

40 : 실리콘 기판

42 : 터널 산화막

44 : 폴리실리콘막

45 : 플로팅 게이트

46 : 제1감광막 패턴

47 : 소오스/드레인 영역

48 : 스페이서

49 : 제2회생절연막

50 : 제2감광막 패턴

51 : 산화막

T1 : 트렌치

T2 : 요홈

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<12> 본 발명은 비휘발성 메모리 소자의 제조방법에 관한 것으로서, 보다 상세하게는, AND형 플래쉬 메모리 소자의 제조방법에 관한 것이다.

<13> 최근, 반도체 메모리 소자가 고용량화됨에 따라 비휘발성 메모리 소자의 중요성이 크게 대두되고 있다. 상기 비휘발성 메모리 소자의 예로서는 플래쉬 메모리 소자를 들 수 있다.

<14> 상기 플래시 메모리 소자는 전원이 공급되지 않더라도 메모리 셀에 저장되어 있는 정보를 유지할 수 있을 뿐만 아니라, 회로기판에 장착되어 있는 상태로 고속의 전기적 소거가 가능하다는 잇점을 갖는다.

<15> 플래시 메모리 기술은 셀 구조를 다양한 형태로 개선시키면서 계속적으로 발전하여 왔으며, 이러한 셀 구조로는 스택 게이트 셀, 스프럿 게이트 셀, 소오스 사이드 인젝션 셀 등을 들 수 있다.

<16> 여기서, 스택 게이트 셀은 플로팅 게이트와 콘트롤 게이트가 순차 적층된 구조로서, 이러한 스택 게이트 셀은 CHEI(Channel Hot Electron Injection)를 이용하여 소오스/드레인 영역을 형성한 후, 드레인측에서 쓰기(program) 동작을 수행하고, F-N(Follower-Nordheim) 터널링을 이용하여 소오스측에서 소거(erase) 동작을 수행한다.

<17> 이러한 스택 게이트 셀은 그 크기가 매우 작기 때문에 플래시 메모리 소자의 단위 셀로서 가장 많이 사용되고 있다.

<18> 한편, 셀 어레이 방식은 메모리 소자 구조, 소거 방식 및 프로그래밍 방식과 더불어 플래쉬 메모리 소자의 사양을 결정하는 중요한 요소이다.

<19> 여러 셀 어레이 방식 중에서 AND형 셀 어레이 방식은 고밀도화 고기능(바꿔쓰기 단위축소)에 적용되는 어레이 방식이며, 그 구조는 다음과 같다.

<20> 도 1은 종래 AND형 플래시 메모리 소자의 셀 어레이를 도시한 회로도이고, 도 2는 그 레이아웃도이며, 도 3은 도 2의 A-A' 선에 따라 절단하여 도시한 단면도이다.

<21> 도 2 및 도 3을 참조하면, AND형 플래쉬 메모리 소자는 플로팅 게이트(24)와 콘트롤 게이트(26)가 교차 배치되고, 상기 플로팅 게이트(24) 양측의 기판 영역에는 소오스/드레인 영역(28)이 형성된 구조를 갖는다. 또한, 기판(20)과 플로팅 게이트(24) 사이에는 박막의 터널 산화막(23)이 개재되며, 플로팅 게이트(24)와 콘트롤 게이트(26) 사이에는 게이트산화막(25)이 개재된다.

<22> 도 2 및 도 3에서, 미설명된 도면부호 22는 소자분리막을 나타낸다.

<23> 이러한 AND형 플래쉬 메모리 소자는 다수의 셀에서 비트라인 콘택과 소오스 라인을 공유하여 고밀도화를 실현하고 있으며, 또한, 병렬접속과 비트라인 및 소오스라인 모두를 계층화하여 쓰기(program) 동작시의 디스터브 현상을 억제하고, 바꿔쓰기 단위 축소를 가능케 하고 있다.

<24> 그러나, 종래 AND형 플래쉬 메모리 소자는 확산층 배선 밀도가 높고, 특히, 고집적화에 따라 셀 크기의 감소로 인하여 커플링 비율(coupling ratio)이 감소됨으로써 내부 전압의 증가가 초래되는 등 신뢰성이 감소되는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<25> 따라서, 본 발명은 상기와 같은 문제점을 해결하기 위해서 안출된 것으로서, 고집적화에 기인하는 커플링 비율의 감소를 방지할 수 있는 AND형 플래쉬 메모리 소자의 제조방법을 제공함에 그 목적이 있다.

<26> 또한, 본 발명은 커플링 비율의 감소를 방지함으로써 신뢰성이 감소되는 것을 방지할 수 있는 AND형 플래쉬 메모리 소자의 제조방법을 제공함에 그 다른 목적이 있다.

【발명의 구성 및 작용】

<27> 상기와 같은 목적을 달성하기 위하여, 본 발명은, 실리콘 기판 상에 터널 산화막과 플로팅 게이트용 폴리실리콘막을 차례로 형성하는 단계; 상기 폴리실리콘막을 식각하여 플로팅 게이트를 형성하는 단계; 상기 기판 결과물에 대해 불순물 이온주입을 행하여 플로팅 게이트 양측의 기판 표면에 소오스/드레인 영역을 형성하는 단계; 상기 플로팅 게이트의 양측벽에 스페이서를 형성하는 단계; 상기 기판 결과물 상에 희생절연막을 증착하는 단계; 상기 희생절연막 및 터널 산화막의 소정 부분을 선택적으로 식각하여 기판 표면 및 플로팅 게이트 표면을 노출시키는 단계; 상기 노출된 기판 표면 및 플로팅 게이트를 소정 깊이 식각하여 각각 트렌치 및 요홈을 형성하는 단계; 상기 트렌치 및 요홈을 매립하도록 결과물 상에 산화막을 증착하는 단계; 상기 플로팅 게이트가 노출될 때까지 산화막과 희생절연막을 식각하는 단계; 상기 스페이서 및 잔류된 희생절연막을 제거하여 트렌치형의 소자분리막과 표면에 요홈을 갖는 플로팅 게이트를 형성하는 단계; 및 상기 기판 결과물 상에 게이트절연막과 콘트롤 게이트용 폴리실리콘막을 차례로 증착하는 단계를 포함하는 AND형 플래쉬 메모리 소자의 제조방법을 제공한다.

<28> 여기서, 상기 폴리실리콘막은 트렌치 깊이 보다 두껍게, 예컨대, 300~2500Å 두껍게 증착한다

<29> 상기 스페이서는 질화막으로 이루어지며, 상기 희생절연막 및 산화막은 TEOS 계열의 산화막, BPSG막, PSG막 또는 HDP 산화막으로 이루어진다.

<30> 상기 플로팅 게이트가 노출될 때까지 산화막과 희생절연막을 식각하는 단계는 CMP 또는 에치백으로 수행하며, 상기 스페이서 및 잔류된 희생절연막의 제거는 70°C 이상의 인산 용액을 이용한 습식 식각 공정으로 수행한다.

<31> 본 발명에 따르면, 플로팅 게이트의 표면에 요hom을 형성시킴으로써 셀 크기의 증가없이 커플링 비율을 향상시킬 수 있으며, 이에 따라, 소자 특성 및 신뢰성을 향상시킬 수 있다.

<32> (실시예)

<33> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다.

<34> 도 4a 내지 도 4h는 본 발명의 실시예에 따른 AND형 플래시 메모리 소자의 제조방법을 설명하기 위한 공정별 단면도이다.

<35> 도 4a를 참조하면, 실리콘 기판(40) 상에 터널 산화막(42)과 플로팅 게이트용 폴리실리콘막(44)을 차례로 증착한다. 여기서, 상기 폴리실리콘막(44)의 증착 두께는 후속에서 형성될 소자분리막의 깊이 보다 300Å 이상, 바람직하게 300~2500Å 정도 두껍게 한다. 이것은 후속하는 소자분리를 위한 기판 식각시 상기 폴리실리콘막(44)이 식각되는 양을 고려한 것으로, 폴리실리콘막과 실리콘 기판의 식각 선택비를 1:1로 조절할 때 필요한 두께이다.

<36> 한편, 상기 폴리실리콘막(44)의 증착 두께는 식각 선택비에 따라 조절하는 것도 가능하다.

<37> 계속해서, 폴리실리콘막(44) 상에 공지의 공정에 따라 제1감광막 패턴(46)을 형성한다. 이때, 상기 제1감광막 패턴(46)은 기판(40)에서의 소자분리 예정 영역 및 소오스/드레인 예정 영역을 노출시키도록 형성함이 바람직하다.

<38> 도 4b를 참조하면, 제1감광막 패턴(46)을 식각마스크로 사용해서 터널 산화막 (42)이 노출되도록 폴리실리콘막을 식각하고, 이를 통해, 플로팅 게이트(45)를 형성한다. 그런다음, 상기 기판 결과물에 대해 As 또는 P을 이온주입한 후, 기판 어닐링을 행하여 플로팅 게이트(45) 양측의 기판 표면에 소오스/드레인 영역(47)을 형성한다.

<39> 이때, 식각되지 않고 잔류된 터널 산화막(42)은 상기 이온주입시 기판 손상을 방지하도록 가능하다.

<40> 도 4c를 참조하면, 제1감광막 패턴을 제거한다. 그런다음, 기판 결과물 상에 제1희생절연막을 증착한 후, 이를 마스크의 사용없이 전면 이방성 건식식각하여 플로팅 게이트(45)의 양측벽에 스페이서(48)를 형성한다. 상기 제1희생절연막으로서는 질화막을 이용함이 바람직하다.

<41> 여기서, 상기 스페이서(48)는 후속에서 형성될 제2희생절연막과 건식 식각함에 있어서의 식각 선택비를 갖도록 하며, 이에 따라, 소자분리막 형성시의 마스크 오정렬에 관계없이 상기 소자분리막이 자기정합적으로 형성되게 할 수 있다.

<42> 또한, 상기 스페이서(48)는 플로팅 게이트들(45)간의 수직 오픈 영역을 경사진 모양으로 만듦으로써 후속 소자분리 공정에서의 트렌치 매립시 매립 물질이 내부 빈 공간없이 매립되도록 할 수 있다.

<43> 도 4d를 참조하면, 상기 기판 결과물 상에 두껍게 제2희생절연막(49)을 증착한다. 상기 제2희생절연막(49)으로서는 질화막 재질의 제1희생절연막, 보다 정확하게는 스페이서(48)와 식각 선택비를 갖는 절연 물질막, 예컨데, TEOS 계열의 산화막, BPSG막, 또는, HDP 산화막이 이용될 수 있다.

<44> 계속해서, 상기 제2희생절연막(49) 상에 소자분리 영역을 노출시키면서 플로팅 게이트(45) 상의 소정 영역을 노출시키는 제2감광막 패턴(50)을 형성한다.

<45> 도 4e를 참조하면, 제2감광막 패턴(50)을 식각 마스크로 사용해서 기판 표면이 노출되도록 노출된 제2희생절연막 부분 및 그 아래의 터널 산화막 부분을 식각한다. 그런다음, 노출된 기판 영역을 소정 깊이만큼 식각하여 소자분리막이 형성될 트렌치(T1)를 형성함과 동시에 노출된 플로팅 게이트 부분을 식각하여 요홈(T2)을 형성한다.

<46> 이때, 전술한 바와 같이, 제2희생절연막(49)은 스페이서(48)와 식각 선택비를 갖는 바, 비록, 전 단계 공정에서 마스크의 오정렬이 일어나더라도 소자분리막의 형성을 위한 트렌치(T1)는 소망하는 위치에 자기정합적으로 형성될 수 있다.

<47> 도 4f를 참조하면, 식각 마스크로 사용된 제2감광막 패턴을 제거한다. 그런다음, 트렌치(T1) 및 요홈(T2)을 완전 매립하도록 기판 결과물 상에 산화막(51)을 증착한다.

<48> 도 4g를 참조하면, 플로팅 게이트(45)가 노출되도록 상기 산화막 및 제2희생절연막을 CMP(Chemical Mechanical Polishing)하거나, 또는, 에치백(Etch Back)한다.

<49> 도 4h를 참조하면, 상기 기판 결과물에 대해 70°C 이상의 인산 용액을 이용한 습식 치각 공정을 행하여 질화막 재질의 스페이서를 제거하고, 이와 동시에, 잔류된 제2회 생절연막을 완전히 제거함으로써 트렌치형의 소자분리막(52)을 형성하고, 아울러, 표면에 요홈(T2)을 갖는 플로팅 게이트(45)를 형성한다.

<50> 이후, 도시하지는 않았으나, 표면에 요홈(T2)을 갖는 플로팅 게이트(45) 상에 게이트 절연막을 증착한 후, 콘트롤 게이트용 폴리실리콘막을 증착한다. 상기 게이트 절연막으로서는 단일의 산화막을 적용하거나, 또는, 산화막-질화막-산화막의 적층막을 적용한다. 그 다음, 상기 콘트롤 게이트용 폴리실리콘막을 패터닝하여 콘트롤 게이트를 형성하고, 이 결과로서, 본 발명에 따른 AND형 플래쉬 메모리 소자를 완성한다.

<51> 여기서, 본 발명에 따른 AND형 플래쉬 메모리 소자는 플로팅 게이트의 표면에 요홈이 형성되어져 있는 것과 관련해서, 플로팅 게이트와 콘트롤 게이트간의 접촉 면적은 종래의 그것 보다 상대적으로 넓어지며, 따라서, 커플링 비율이 증가되는 바, 내부 전압의 증가를 방지할 수 있어 안정된 소자 특성 및 신뢰성을 구현할 수 있게 된다.

【발명의 효과】

<52> 이상에서와 같이, 본 발명은 플로팅 게이트의 표면에 요홈을 형성시켜 줌으로써 완성된 AND형 플래쉬 메모리 소자에서 셀 크기의 증가 없이도 커플링 비율을 효과적으로 향상시킬 수 있다. 따라서, 본 발명은 셀 크기의 증가 없이 커플링 비율을 향상시킬 수 있는 바, 소자 동작 특성 및 신뢰성을 향상시킬 수 있다.

<53> 또한, 본 발명은 플로팅 게이트와 소오스/드레인 영역 및 소자분리막을 자기정합적으로 형성하기 때문에 고집적화 추세에서 그들의 형성을 안정적으로 이를 수 있다.

<54> 게다가, 본 발명은 소자분리막을 형성하기 위한 마스크 공정 및 요hom을 형성하기 위한 마스크 공정 등을 일원화하여 비용이 많이 소요되는 DUV급의 공정을 일부 생략할 수 있으므로, 생산 원가의 절감을 얻을 수 있다.

<55> 기타, 본 발명은 그 요지를 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

【특허청구범위】**【청구항 1】**

실리콘 기판 상에 터널 산화막과 플로팅 게이트용 폴리실리콘막을 차례로 형성하는 단계;

상기 폴리실리콘막을 식각하여 플로팅 게이트를 형성하는 단계;

상기 기판 결과물에 대해 불순물 이온주입을 행하여 플로팅 게이트 양측의 기판 표면에 소오스/드레인 영역을 형성하는 단계;

상기 플로팅 게이트의 양측벽에 스페이서를 형성하는 단계;

상기 기판 결과물 상에 희생절연막을 증착하는 단계;

상기 희생절연막 및 터널 산화막의 소정 부분을 선택적으로 식각하여 기판 표면 및 플로팅 게이트 표면을 노출시키는 단계;

상기 노출된 기판 표면 및 플로팅 게이트를 소정 깊이 식각하여 각각 트렌치 및 요홈을 형성하는 단계;

상기 트렌치 및 요홈을 매립하도록 결과물 상에 산화막을 증착하는 단계;

상기 플로팅 게이트가 노출될 때까지 산화막과 희생절연막을 식각하는 단계;

상기 스페이서 및 잔류된 희생절연막을 제거하여 트렌치형의 소자분리막과 표면에 요홈을 갖는 플로팅 게이트를 형성하는 단계; 및

상기 기판 결과물 상에 게이트절연막과 콘트롤 게이트용 폴리실리콘막을 차례로 증착하는 단계를 포함하는 것을 특징으로 하는 AND형 플래쉬 메모리 소자의 제조방법.

【청구항 2】

제 1 항에 있어서, 상기 폴리실리콘막은 트렌치 깊이 보다 두꺼운 두께로 증착하는 것을 특징으로 하는 AND형 플래쉬 메모리 소자의 제조방법.

【청구항 3】

제 2 항에 있어서, 상기 폴리실리콘막은 트렌치 깊이 보다 300~2500Å 두껍게 증착하는 것을 특징으로 하는 AND형 플래쉬 메모리 소자의 제조방법.

【청구항 4】

제 1 항에 있어서, 상기 스페이서는 질화막으로 이루어진 것을 특징으로 하는 AND형 플래쉬 메모리 소자의 제조방법.

【청구항 5】

제 1 항에 있어서, 상기 희생질연막은 TEOS 계열의 산화막, BPSG막, PSG막 및 HDP 산화막으로 구성된 그룹으로부터 선택되는 어느 하나로 이루어진 것을 특징으로 하는 AND형 플래쉬 메모리 소자의 제조방법.

【청구항 6】

제 1 항에 있어서, 상기 산화막은 TEOS 계열의 산화막, BPSG막, PSG막 및 HDP 산화막으로 구성된 그룹으로부터 선택되는 어느 하나로 이루어진 것을 특징으로 하는 AND형 플래쉬 메모리 소자의 제조방법.

【청구항 7】

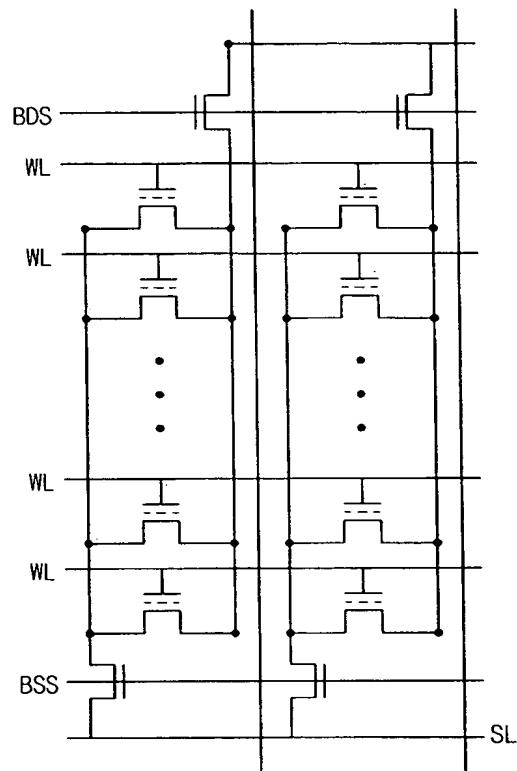
제 1 항에 있어서, 상기 플로팅 게이트가 노출될 때까지 산화막과 희생절연막을 식각하는 단계는 CMP 또는 애치백으로 수행하는 것을 특징으로 하는 AND형 플래쉬 메모리 소자의 제조방법.

【청구항 8】

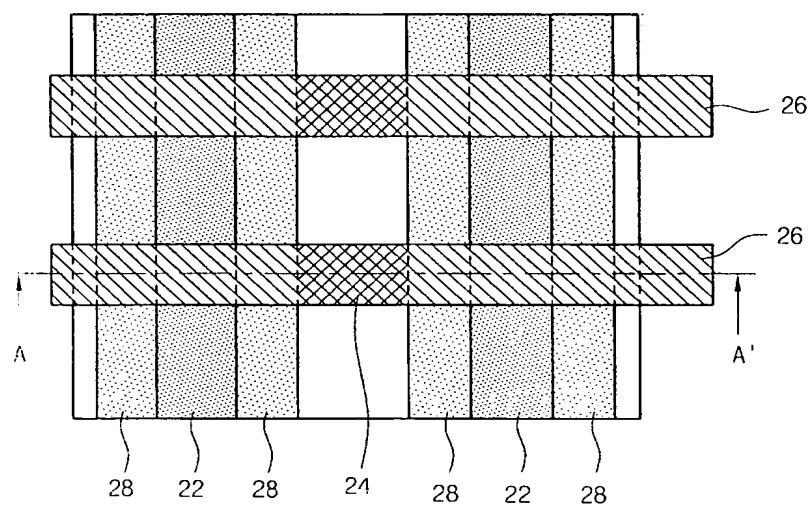
제 1 항에 있어서, 상기 스페이서 및 잔류된 희생절연막의 제거는 70°C 이상의 인산 용액을 이용한 습식 식각 공정으로 수행하는 것을 특징으로 하는 AND형 플래쉬 메모리 소자의 제조방법.

【도면】

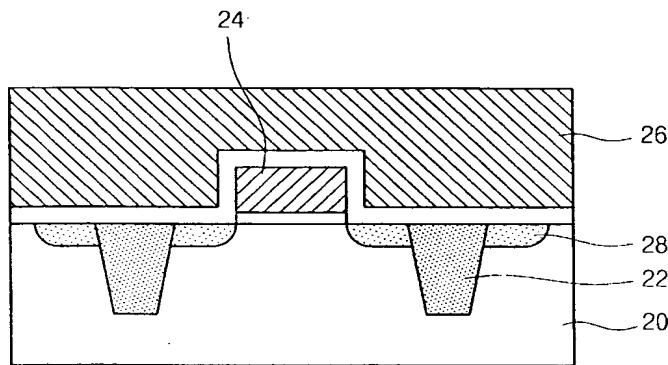
【도 1】



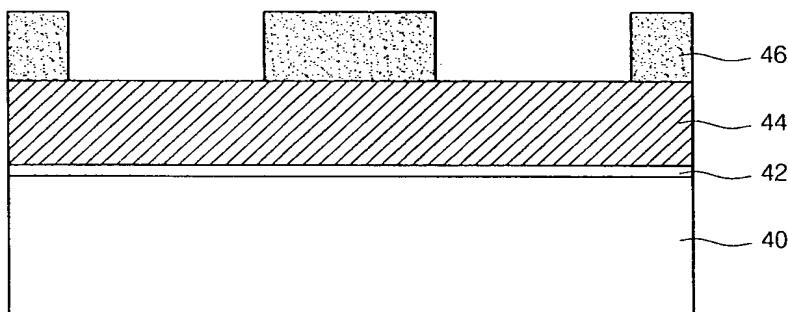
【도 2】



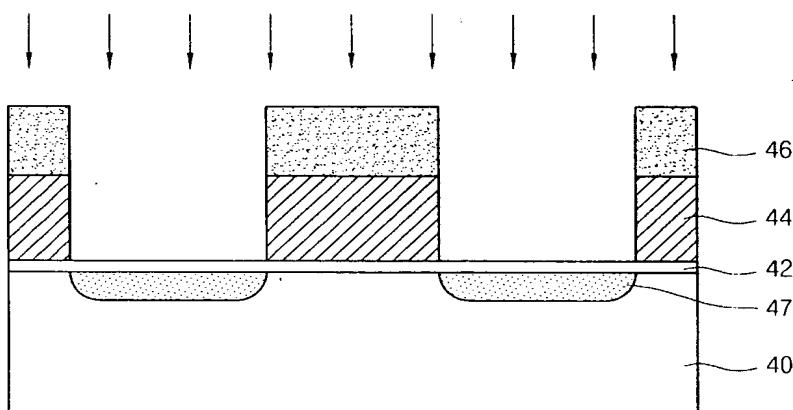
【도 3】



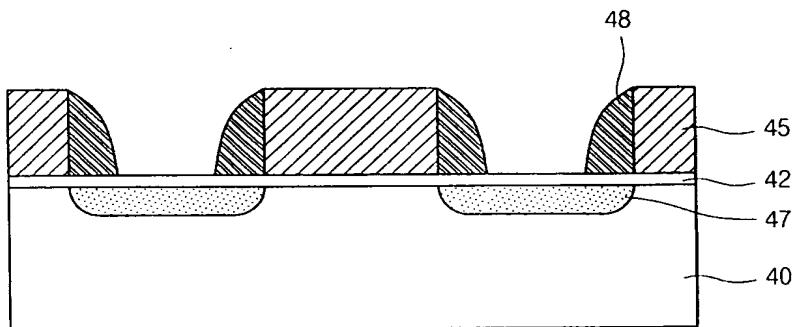
【도 4a】



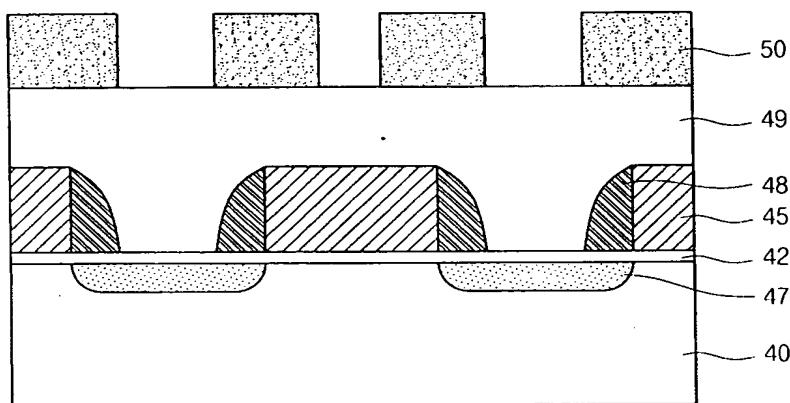
【도 4b】



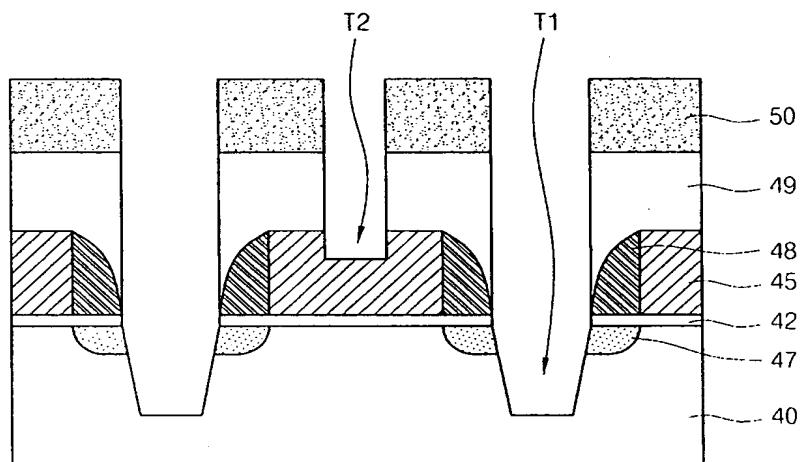
【도 4c】



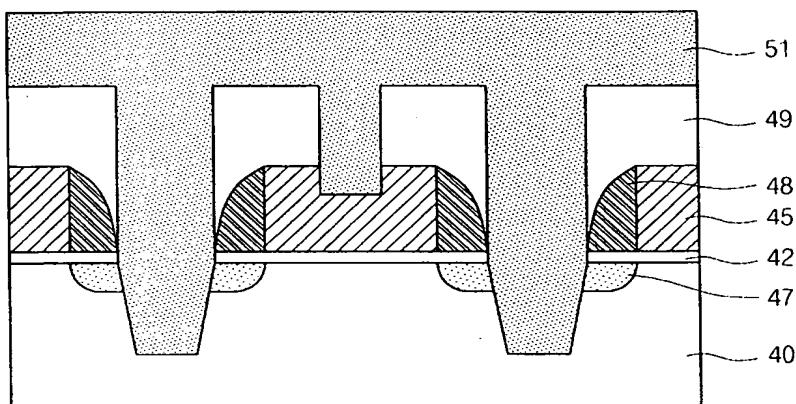
【도 4d】



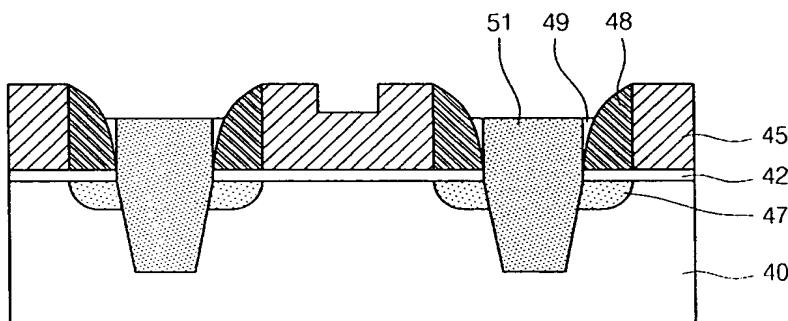
【도 4e】



【도 4f】



【도 4g】



【도 4h】

